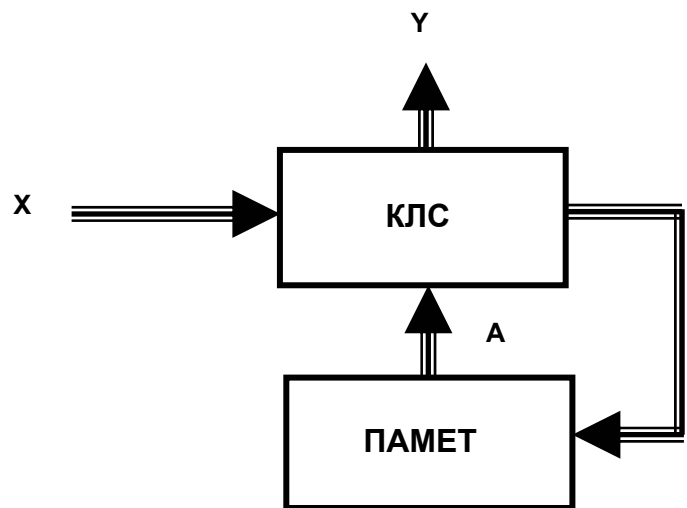


# ЦИФРОВА СХЕМОТЕХНИКА

## ТЕМА 5: Последователности логически схеми. Тригери - асинхронни и синхронни, R - S, D, T, J - K тригери.

При последователностните логически схеми (ПЛС) състоянието на изходните функции (изходните сигнали) в определен момент от време  $t$  зависи от състоянието на входните променливи (входните цифрови сигнали) в същия момент от време и от вътрешното състояние на схемата от предходния момент от време ( $t-1$ ), т.е. това са цифрови схеми, които съдържат елементи памет, в които да се запомня вътрешното състояние на схемата. По този начин всяка последователностна логическа схема може да се разглежда като изградена от две части – комбинационна логическа схема (КЛС) и памет. ПЛС се наричат още крайни автомати.



Обобщена структурна схема на ПЛС.

За да бъде напълно определена (дефинирана) една ПЛС е необходимо да са известни:

- множеството на входните променливи –  $X$ ;
- множеството на изходните сигнали –  $Y$ ;
- множеството на вътрешните състояния на схемата –  $A$ ;
- функцията на преходите – с обобщен вид:  $A_{t+1}=F(A_t, X_t)$ ;
- функцията на изходите – с обобщен вид:  $Y_t= F1(A_t)$  или  $Y_t= F2(A_t, X_t)$ ;

# ЦИФРОВА СХЕМОТЕХНИКА

Най-елементарните представители на ПЛС, от които се изграждат по-сложните ПЛС, се наричат тригери. Тригерите са елементарни последователностни автомати с две устойчиви състояния. Едното състояние е '1', а другото – '0', т.е. тригерът представлява най-елементарната клетка памет с обем един двоичен разряд. Всеки тригер има по два изхода – основен (прав) и допълнителен (инверсен), като сигналът в допълнителния изход е инвертиран спрямо сигнала в основния изход. Изходите на тригерите се означават съответно с Q и  $\bar{Q}$ .

В зависимост от начина на въздействие на входните сигнали, тригерите се разделят на два основни типа: асинхронни и синхронни (тактово управляеми). При асинхронните (latch) - входните сигнали въздействат на тригера в момента на постъпването си. При синхронните - входните сигнали въздействат на тригера само по време на съществуването на специален разрешаващ импулс наречен синхронизиращ (C - Clock). Синхронните тригери от своя страна се подразделят на: управлявани по нивото на синхронизиращия сигнал (*gated latch*); превключвани по фронта (*dynamic flip-flop*) - (прехода от едното към другото логическо ниво – съответно прехода от '0' към '1' се нарича преден (положителен) фронт и се означава със символа (  $\uparrow$  ), а прехода от състояние '1' към '0' се нарича заден (отрицателен) фронт и се означава със символа (  $\downarrow$  )); управляващ-управляван (*master-slave flip-flop*).

При управляваните по нивото на синхронизиращия сигнал тригери, промяната на състоянието протича през цялото времетраене на C-сигнала, а при тригерите превключвани по фронта на синхронизиращия сигнал – само през времетраенето на предния или задния фронт.

# ЦИФРОВА СХЕМОТЕХНИКА

Тригерите от типа управляващ-управяван са двустъпални тригери, при които първото стъпало приема входните сигнали при активно ниво на синхронизиращия сигнал, като второто стъпало в това време е забранено, а при преминаване на синхронизиращия сигнал в неактивно състояние информацията от първото стъпало се прехвърля във второто.

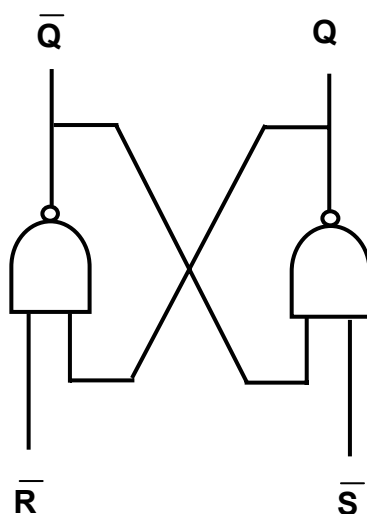
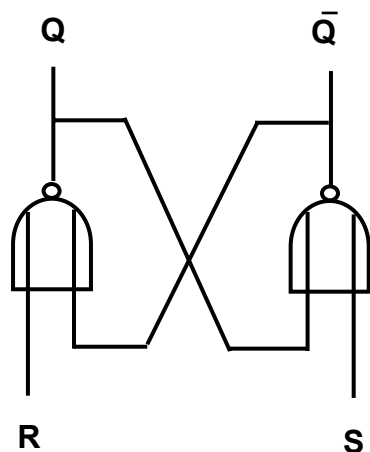
В зависимост от функционалните си възможности и броя на входовете, тригерите се разделят на: **R-S, D, J-K, T**.

➤ **R-S тригерът** има два входа: вход S, установяващ тригера в състояние '1', и вход R, установяващ тригера в състояние '0'. За правилната работа на тригера е задължително във всеки момент от време поне на единия от входовете да има сигнал логическа '0', което се представя чрез логическото условие за нормална работа на тригера  $R \cdot S = 0$ . Комбинацията  $R = S = 1$  се нарича забранена за R-S тригера, тъй като при нея се нарушава нормалната логика на работа на тригера – двата изхода да бъдат в инверсно състояние един на друг. При подаване на забранената комбинация и двата изхода ще се установят в '0'. При това положение, ако веднага след забранената комбинация се подаде пасивната комбинация  $R = S = 0$  ще започне състезание на сигналите между логическите елементи, от които е изграден тригера, и няма да бъде ясно в кое от двете възможни състояния ще се установи. С еднаква степен на вероятност R-S тригерът може да се установи в '1' или '0' на правия си изход (Q) – съответно инверсният изход ( $\bar{Q}$ ) ще се установи в противоположното състояние. Асинхронен R-S тригер може да се изгради от два логически елемента ИЛИ-НЕ.

# ЦИФРОВА СХЕМОТЕХНИКА

Много често за изграждане на другите видове тригери се използва така нареченият  $\bar{R}$ - $\bar{S}$ , който функционира по същия начин както R-S тригера, с тази разлика че входните сигнали са инвертирани, т.е активните нива са '0', а не '1'. Асинхронен  $\bar{R}$ - $\bar{S}$  тригер може да се изгради от два логически елемента И-НЕ. Функционалното поведение на R-S тригера може да се опише с Таблицата на преходите или аналитично с уравнението:

$$Q_{t+1} = S_t + \bar{R}_t \cdot Q_t$$



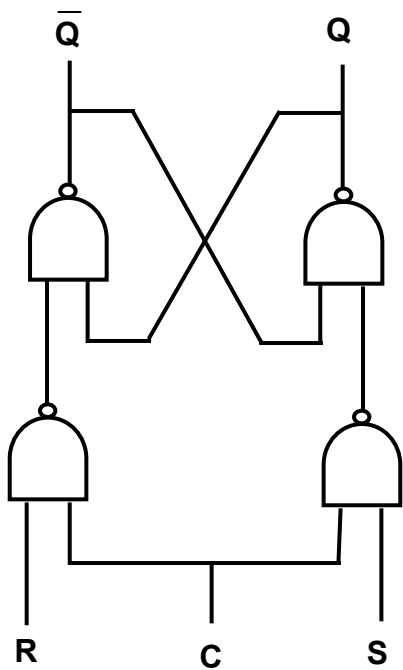
R	S	$Q_t$	$Q_{t+1}$	$\bar{Q}_{t+1}$
0	0	0	0	1
0	0	1	1	0
1	0	0	0	1
1	0	1	0	1
0	1	0	1	0
0	1	1	1	0
1	1	0	0	0
1	1	1	0	0

Асинхронен R-S и  $\bar{R}$ - $\bar{S}$  тригери, изградени с ЛЕ.

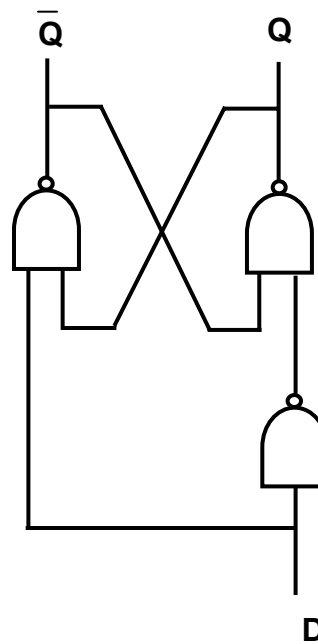
# ЦИФРОВА СХЕМОТЕХНИКА

Управляван по нивото на синхронизиращия импулс синхронен R-S тригер се получава, когато на входа на  $\bar{R}$ - $\bar{S}$  тригера се включат два допълнителни логически елемента И-НЕ, които да пропускат сигналите R и S към тригера само през времетраенето на синхронизиращия импулс, подаден към синхронизиращия вход (C).

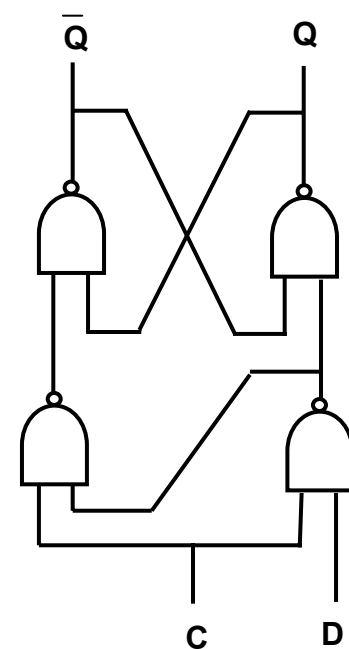
➤ **D-тригерът** има един вход, означаван с D (delay), като изходът му повтаря входния сигнал с един такт закъснение, т.е. състоянието на правия изход Q в момента от време ( $t+1$ ) съвпада със сигнала на входа D в момента от време ( $t$ ).



Синхронен R-S тригер.



Асинхронен и синхронен D тригери, изградени с ЛЕ



# ЦИФРОВА СХЕМОТЕХНИКА

Функционалното поведение на D тригера може да се опише с Таблицата на преходите или аналитично с уравнението:

$$Q_{t+1} = D_t$$

➤ **J-K тригерът** има два входа J и K, като входът J функционално е еквивалентен на входа S, а входът K – на входа R при R-S тригерите. Този тригер се отличава от R-S тригера по това, че няма забранена комбинация на входните сигнали, т.е. той функционира нормално и при J=K='1'. При тази комбинация J-K тригерът се преобръща (сменя състоянието си в противоположното) на всеки тактов импулс. J-K тригерът може да бъде само синхронен.

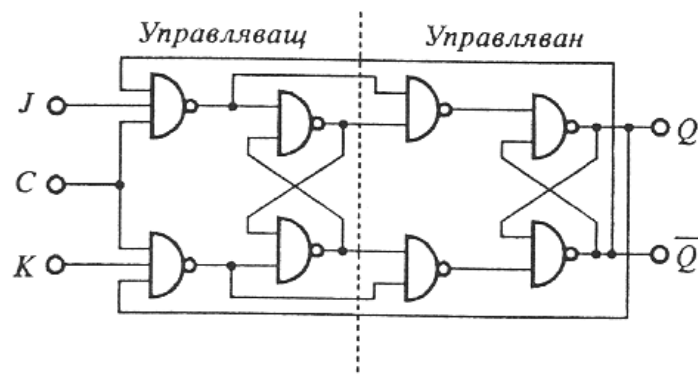
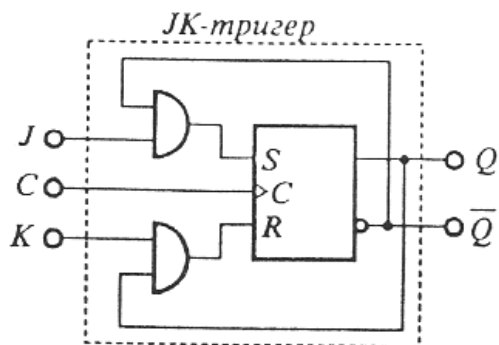
Функционалното поведение на J-K тригера може да се опише с Таблицата на преходите или аналитично с уравнението:

$$Q_{t+1} = J_t \cdot \bar{Q}_t + \bar{K}_t \cdot Q_t$$

D	$Q_t$	$Q_{t+1}$	$\bar{Q}_{t+1}$
0	0	0	1
0	1	0	1
1	0	1	0
1	1	1	0

C	J	K	$Q_t$	$Q_{t+1}$	$\bar{Q}_{t+1}$
↓	0	0	0	0	1
↓	0	0	1	1	0
↓	0	1	0	0	1
↓	0	1	1	0	1
↓	1	0	0	1	0
↓	1	0	1	1	0
↓	1	1	0	1	0
↓	1	1	1	0	1

# ЦИФРОВА СХЕМОТЕХНИКА



Синтез на J-K тригери от R-S тригери (вторият тригер е от типа master-slave).

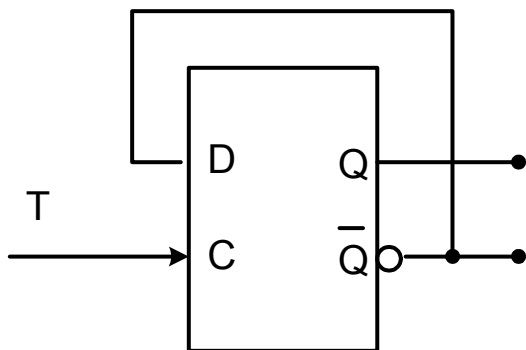
➤ **Т-тригерът** е синхронен тригер, който има само един вход за въздействие, означен с Т. Винаги когато на Т-входа постъпва управляващ импулс, тригерът променя състоянието си и се установява в противоположното на това, в което е бил до този момент. Поради този начин на действие Т-тригерите най-често се използват за делене на две на честотата на постъпващите входни импулси и при изграждане на структурите на цифровите броячи. Функционалното поведение на Т тригера може да се опише с Таблицата на преходите или аналитично с уравнението

$$Q_{t+1} = Q_t \oplus T_t$$

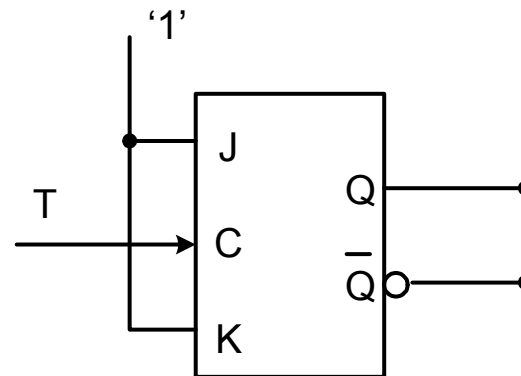
T	$Q_t$	$Q_{t+1}$	$\bar{Q}_{t+1}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

# ЦИФРОВА СХЕМОТЕХНИКА

В интегрално изпълнение Т тригери не се произвеждат. Обикновено те се получават от интегралните D и J-K тригери. Т тригер се получава от синхронен D тригер чрез свързване на инверсия изход на тригера ( $\bar{Q}$ ) с входа D, като синхронизиращия вход (C) изпълнява функцията на входа Т. Можем да получим Т тригер и чрез подаване на комбинацията  $J=K='1'$  на входовете на синхронен J-K тригер, като синхронизиращият вход (C) изпълнява функцията на входа Т.



5. 4a



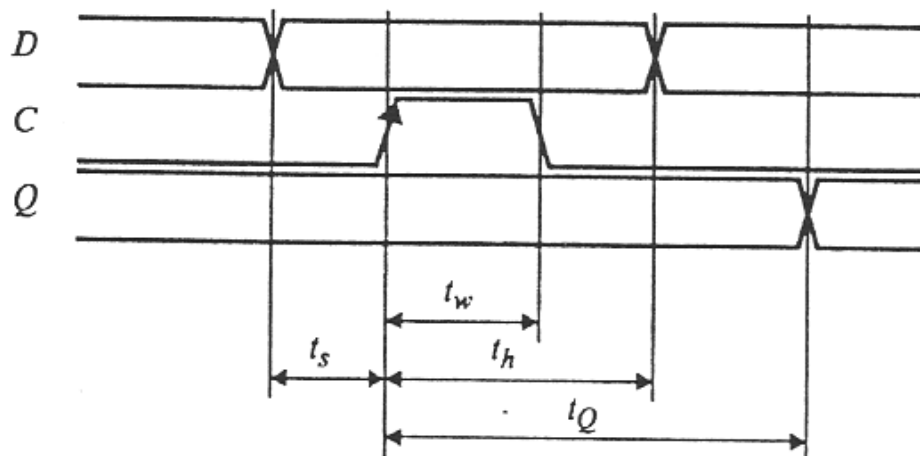
5. 4b

Синтез на Т тригер от синхронен D и от J-K тригер.

От особено значение, при работата с тригерите, е да се познават техните времеви параметри. Основните от тях са илюстрирани на представените времедиаграми и имат следното значение:



# ЦИФРОВА СХЕМОТЕХНИКА



Основни времеви параметри на тригерите.

- **$t_s$**  – време на предхождане (set-up time). Това е времето, предшестващо тактовия импулс, през което сигналите на информационните входове трябва да са установени;
- **$t_h$**  – време на задържане (hold time). Това е времето, след активния фронт на тактовия сигнал, през което сигналите на информационните входове трябва да останат непроменени;
- **$t_Q$**  – време на превключване (propagation delay time). Това е времето от постъпването на активния фронт на тактовия импулс до получаването на новия изходен сигнал;
- **$t_w$**  – минимална продължителност на тактовия импулс (pulse width);
- **$F_{max}$**  – максимална честота на превключване, при която тригера може правилно да превключва.