

ТЕМА 1. СИСТЕМЕН ТАЙМЕР. БЛОКОВА СХЕМА. ОСНОВНИ ФУНКЦИИ В РС СИСТЕМАТА.

1.1 Предназначение на системния таймер в състава на ПК.

Освен часовника за реално време, всеки компютър съдържа устройство, наречено системен таймер, на англ. PIT - съкращение от Programmable Interval Timer.

При оригиналните модели РС схемата се използва за системен часовник, генератор на звук и за коректно протичане на процеса за опресняване на динамичната памет RAM.

1.2 Кратка историческа справка.

На първите компютри се е използвала микросхема Intel 8253. В РС с процесор 286 или по-добър се вгражда схемата 8254, която може да работи с честоти до 10 MHz, но е напълно съвместима със схемата 8253, която работи с честоти до 2,6 MHz. По отношение на вътрешната си структура 8253 и 8254 са идентични. 8254 за разлика от предшественика си разполага и с допълнителна команда (Read Back Command), чрез която е възможно да се прочете актуалното състояние на схемата. Това се оказва особено практично, както ще бъде пояснено по-нататък. Рядко в AT се вграждат две схеми 8284. В тези случаи първата схема работи както в компютрите РС. От втората схема се използва само един брояч за програмиране на немаскируемото прекъсване (NMI), а двата останали брояча не се използват.

По-късно таймерът, заедно с други компоненти влиза в състава на чипсета, напр. в PIIX4.

Наред с използването в по-старите дънни платки таймерът 8253/54 може да се намери в редица разширителни карти на РС, особено в карти за измервателни системи (карти АЦП – аналогово-цифрово преобразуване, ЦАП цифрово-аналогово преобразуване, таймери), и се смята за стандартна схема за реализиране на функции, свързани с броене и измерване на време.

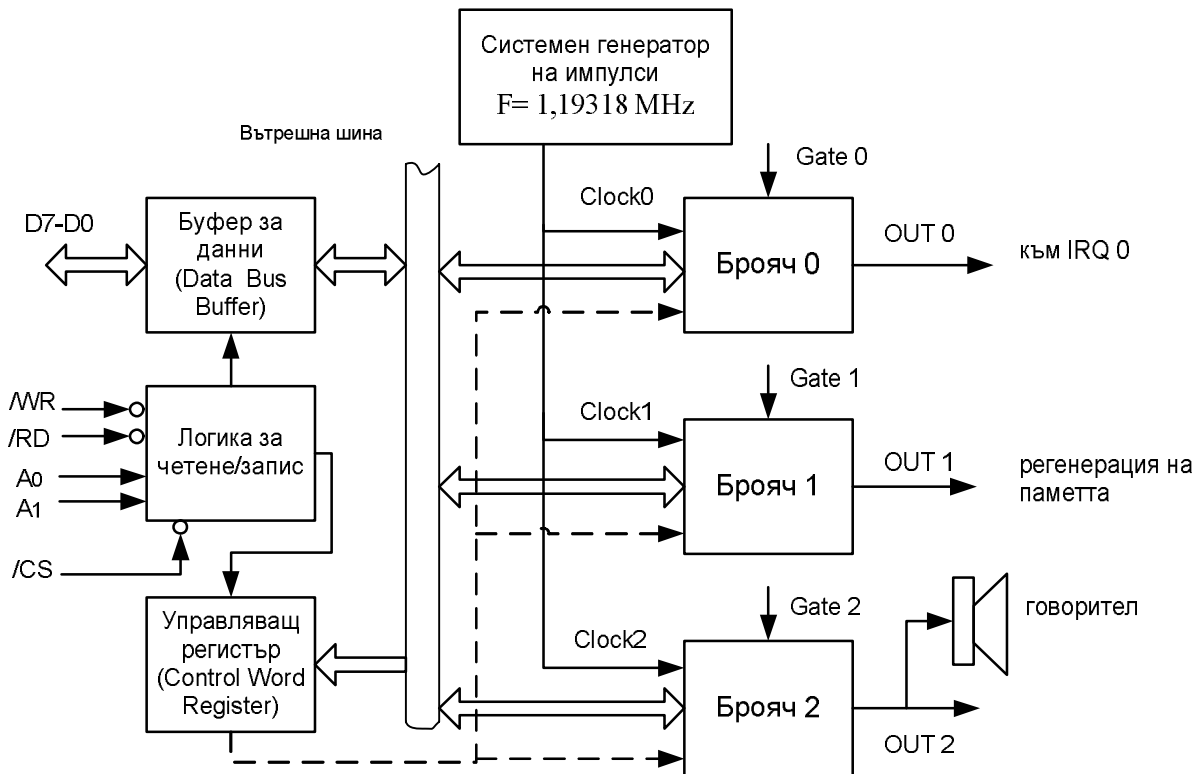
1.3 Блокова схема и принцип на работа

Микросхемите 8253 и 8254 представляват триканални програмируеми броячи-таймери. Вътрешните броячи на микросхемите имат разрядност 16 бита, но връзката с тях е 8-битова. При това може да се задава стойност само на младшия байт на брояча (LSB), само на старшия (MSB) или двата (LSB/MSB), при което отначало се предава младшия, а след това старшия байт.

Схемата на PIT включва три независими един от друг 16-битови броячи (канала), всеки от които има различно предназначение и може да се програмира в един от шестте възможни режима. Броячите разполагат със собствени тактови CLOCK и управляващи (разрешаващи) GATE входове и съответни изходи (OUT).

Входната честота на всички канали е 1,19318 MHz. Таймерът е включен към линия на прекъсване IRQ0 и изработва прекъсване INT 8h приблизително 18,2 пъти в секунда (точната стойност е 1193180/65536).

На фиг. 1 е показана вътрешната структура на схемата.



фиг. 1 Програмируемият таймер разполага с 3 независими брояча

Броячът 0 се използва за подаване на прекъсване от таймера (**IRQ 0**), което е необходимо за софтуерния часовник на PC 8088/8086.

Броячът 1 управлява **опресняването на динамичната RAM памет**, като подава стробиращ сигнал на брояча 0 на всеки 15 микросекунди.

Броячът 2 се използва за **генериране на звук** от вградения говорител и за разлика от останалите два брояча може да поема и други задачи, напр. генератор на случайни числа.

За всеки таймер се запазват 4 порта. В табл. 1 е показано разпределението на портовете за основния таймер.

Функция	Приложение	Входно-изходен адрес (порт)
Брояч 0	Подаване на прекъсване IRQ 0	40h
Брояч 1	Управление опресняването на динамичната RAM памет	41h
Брояч 2	Генериране на звук	42h
Управляващ регистър	Избор на брояч и управление на режима	43h

Табл. 1 Функции и адреси на таймера

Всеки брояч (канал) съдържа регистрите:

- RS - състояние на канала (8 разряда).

- RSW – управляваща дума (8 разряда) – Служи за задаване режима на работа на брояча.
- OL – буферен регистър (16 разряда) – Служи за запомняне на текущото съдържание на регистъра CE без спиране на процеса на броене. След запомняне буферният регистър е достъпен за програмата за четене.
- CE – регистър на брояча (16 разряда) – Работи в режим на изваждане, като неговото съдържание се намалява при задния фронт на сигнала CLOCK.
- CR - регистър на константите на преброяването

Резултатите от броенето се записват на първите 3 адреса. За адресиране се използват линиите AO и A1. Четене или запис се задават чрез линиите /WR и /RD.

Схемата се активира с ниско ниво на сигнала /CS. Този сигнал се генерира от схема за декодиране на адресите.

Линиите за данни DO - D8 са свързани директно към шината за данни, защото буферът за данни (Data Bus Buffer) може да се включва във високоомно състояние (Tri-State) чрез сигнала /CS. Чрез съответния разрешаващ вход (GATE) броячът може да се стартира, да се спре или да се установи в начално състояние. Тактът се подава на входа CLK. Състоянието 0 на брояча може да се определи по изхода (OUT).

Чрез управляващия регистър (Control Word Register) се определят режимът на работа и активният брояч, както и начинът за запис и четене на съдържанието на броячите и форматът за преброяване (двоичен или BCD -двоично-десетичен¹), с който трябва да работят. На фиг. 2 е показана организацията на регистрите на управляващия регистър и режимите, в зависимост от стойностите на клетките.

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

стойност на BCD	режим на брояча
0	двоично-десетичен (BCD) брояч – числа до 9999
1	двоичен брояч – числа до 65536

M2	M1	M0	Режим на брояча
0	0	0	Режим 0 – Прекъсване IRQ 0 при достигане на нула от брояча
0	0	1	Режим 1 – Чакащ мултивибратор
x	1	0	Режим 2 - Генератор на импулси. Каналът изпълнява функция на програмируем делител на входната честота
x	1	1	Режим 3 – Генератор на правоъгълни импулси – тип „меандър“ (основен режим) – използва се в канали 0 и 2
1	0	0	Режим 4 – Програмно стартиран моновибратор (софтуерно

¹ Същността на двоично-десетичния код е, че десетичните цифри от 0 до 9 се представят като четирицифрени двоични числа. Това позволява пакетизиране на две цифри в един байт вместо 1 байт за цифра.

			управляван стробиращ импулс)
1	0	1	Режим 5 – Апаратно стартиран моновибратор (хардуерно управляван стробиращ импулс)

RL1	RL0	Функция
0	0	Съхраняване състоянието на брояча
0	1	Четене/запис на старшия бит
1	0	Четене/запис на младшия бит
1	1	Четене/запис първо на младшия, а после на старшия бит

SC1	SC0	Задаване на активен брояч
0	0	Брояч 0
0	1	Брояч 1
1	0	Брояч 2
1	1	Забранено

фиг. 2 Управляващ регистър

Контролни въпроси:

1. Предназначение на системния таймер в състава на ПК.
2. Начертайте структурна схема на таймера
3. Обяснете предназначението на каналите на таймера.
4. На какъв минимален и максимален интервал време може да се програмира каналът на таймера и защо?
5. Избройте режимите на работа на канала на таймера.
6. Кои портове се използват за програмиране на таймера?
7. Какви са особеностите на достъпа през 8-разрядните портове към 16-разрядните регистри?